

DIALOG(R)File 347:JAPIO

(c) 1998 JPO & JAPIO. All rts. reserv.

00010272

MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICES

PUB. NO.: 51-121272 [JP 51121272 A]

PUBLISHED: October 23, 1976 (19761023)

INVENTOR(s): UENO ATSUSHI

ISHIHARA TAKESHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 50-047034 [JP 7547034]

FILED: April 17, 1975 (19750417)

INTL CLASS: [2] H01L-029/78; H01L-029/04; H01L-021/265

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,

MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 6, Vol. 01, No. 21, Pg. 989, March 25, 1977 (19770325)

#### ABSTRACT

PURPOSE: To provide a method of construction that prevents breakage of the wiring in Si gate MOST.

2000  
(2000.7)

# 特 許 願 (14)

昭和 50年 4月 17日

特許庁長官殿

## 1 発明の名称

バンドラインナード  
半導体装置の製造方法

## 2 発明者

住 所 大阪府門真市大字門真1006番地  
松下電器産業株式会社内  
氏 名 ケ 上 ノ 原 アツシ  
(ほか1名)

## 3 特許出願人

住 所 大阪府門真市大字門真1006番地  
氏 名 (582) 松下電器産業株式会社  
氏 名 松 下 正 治

## 4 代理人

〒 571  
住 所 大阪府門真市大字門真1006番地  
松下電器産業株式会社内  
氏 名 (5971) 弁理士 中 尾 敏 男  
(ほか1名)  
(連絡先 電話0620433-3111 特許分室)

## 5 添付書類の目録

- |             |     |
|-------------|-----|
| (1) 明 細 書   | 1 通 |
| (2) 図 面     | 1 通 |
| (3) 委 任 状   | 1 通 |
| (4) 願 告 副 本 | 1 通 |

明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

一主面にソース及びドレイン拡散領域を有する半導体基板の前記主面に絶縁膜を介して多結晶シリコン半導体を形成する工程と、ゲート部以外の前記多結晶シリコン半導体に陽イオン、陰イオンの内の1種を注入して前記多結晶シリコン半導体を絶縁膜とする工程と、前記ゲート部に電極形成を付与する工程とを備えたことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

本発明は図1の示す半導体装置の製造方法に関するものである。

以下従来例と本発明について図面とともに説明する。

第1図に従来の405型集積回路を製造する場合の工程を示す。

従来の405型集積回路を製造する場合、まず

① 日本国特許庁

# 公開特許公報

①特開昭 51-121272

④公開日 昭51.(1976)10.23

②特願昭 50-47034

②出願日 昭50.(1975)4.17

審査請求 未請求 (全3頁)

庁内整理番号

6426 57  
6684 57

⑤日本分類

99(5)E3  
99(5)B1

⑤ Int.Cl<sup>3</sup>

H01L 29/78  
H01L 29/04  
H01L 21/265

洗浄処理を行なったシリコン基板1上にシリコン酸化膜2を熱酸化にて形成した後、ゲート酸化膜形成マスクで窓あけを行なう(第1図A)。

次に熱酸化にてゲート酸化膜3(800~2000Å)を形成し(第1図B)、その上に重ねてソース、ドレイン形成用拡散に對する金銀合金はモリブデン(Mo)、シリコン(Si)等を形成し、ゲート電極形成マスクを用いて電極メタル4を電極エッチングにより形成し(第1図C)、電極メタル4をセルフアライニングマスクとしてソース及びドレイン形成部上のゲート酸化膜を除去した後、形成膜を用いてソース及びドレイン拡散層を形成する。次に形成時生じた薄いシリコン酸化膜を除去する(第1図D)。

その後酸化膜A(シリコン酸化膜、シリコン窒化膜、アルミナ膜等)を形成しコンタクトホール形成マスクを用いてゲート電極及び出し用コンタクトホール5を形成する(第1図E)。

最後に配線用メタル6として使用するための金

金属例えばアルミニウム (Al)、モリブデン (Mo)、ニッケル (Ni) 等を基板表面に真空蒸着法で形成（ここではゲート電極の配線部分）し配線を完成する（第1図F）。以上の如く従来のMOS型集積回路を製造するにあたってゲート電極配線部10の個所で電極金属（例えばポリシリコン）4の角部が急峻なため完全に配線されずに段切れを生じたり、またゲート電極取り出し用コンタクトホール11の大きさがゲートの巾に制約されるなどの欠点がある。

本発明は従来の欠点を解消するためになされたもので、半導体基板上にポリシリコンを形成させて、ゲート部分以外をイオンインプラネーション法で窒化シリコン ( $\text{Si}_3\text{N}_4$ ) の絶縁物にせしめ平坦構造にすることによりゲートと並列配線を確保にせしめる半導体装置の製造方法を提供することを目的とする。

以下本発明の実施例について説明する。

第2図A, B, C, Dは本発明に基づいた製造工程を示すものであり、まず清浄処理を行なった

用するための金属膜9、例えばAl, Mo, Ni等を真空蒸着法で形成して配線を完成する（第2図D）。ここでゲート電極（ポリシリコン5）へのコンタクトホールをポリシリコン5の巾より大きくあけてコンタクトを確保した半導体装置の構造断面図を第3図に示す。本実施例ではポリシリコン5を  $\text{Si}_3\text{N}_4$  7に変換するので  $\text{N}^+$  イオンを注入したが、 $\text{O}^-$  イオンであっても同じ条件下で注入すれば  $\text{N}^+$  イオンと同様の効果が得られる。

以上の如く本発明に基づくMOS型集積回路の製造方法においてポリシリコンのゲート以外のところを  $\text{N}^+$  イオンのイオンインプラネーション法によって  $\text{Si}_3\text{N}_4$  7に変換するので段差がなく平坦構造となり、上記ポリシリコンに金属金属を蒸着しても段切れを生じないし、ゲート電極へのコンタクトホールをあける場合、ゲートのまわりは  $\text{Si}_3\text{N}_4$  の絶縁物であるからいくら大きくあけてもよいのでファインパターンのゲートのセルフアラインコンタクトができる。

#### 4. 図面の簡単な説明

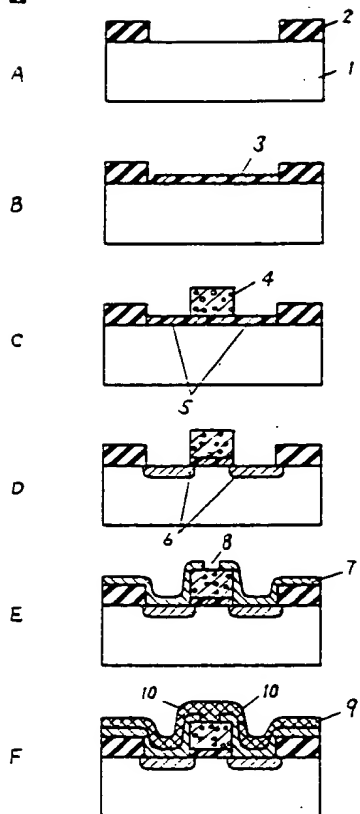
半導体基板としてのシリコン基板1上に熱酸化法または他の方法を用いてシリコン酸化膜2を絶縁膜として形成し、ソース・ドレイン形成部上の酸化膜を除去する。その後熱拡散法やイオンインプラネーション法で適当な拡散源を用いてソース及びドレイン拡散層3を形成する（第2図A）。次にゲート形成部の酸化膜を除去し、熱酸化もしくは他の方法でゲート酸化膜4を絶縁膜として適当な厚さ（800～2000Å）に形成し、その上に重ねてポリシリコン5を気相反応法や真空蒸着法、スパッタリング法等により形成する（第2図B）。次にフォトリソスト6を塗布しゲート電極部のみを残してその上からイオンインプラネーション法でポリシリコン5を  $\text{Si}_3\text{N}_4$  7に変換する。この時の条件は例として加速電圧50kV, イオン密度  $5 \times 10^{17} \text{cm}^{-2}$  で  $\text{N}^+$  イオンを注入し、その後1000℃に加熱中で約60分間処理を施す（第2図C）。次に保護膜8としてシリコン酸化膜を気相反応法等により形成し、ゲート電極取り出し用コンタクトホールを形成して最後に配線用金属として使

第1図A, B, C, D, E, Fは従来のMOS型集積回路の製造工程図、第2図A, B, C, Dは本発明によるMOS型集積回路の製造工程図、第3図は本発明による製造方法により製造されたMOS型集積回路のコンタクトホールを大きくあけてコンタクトを容易にせしめた半導体装置の構造断面図である。

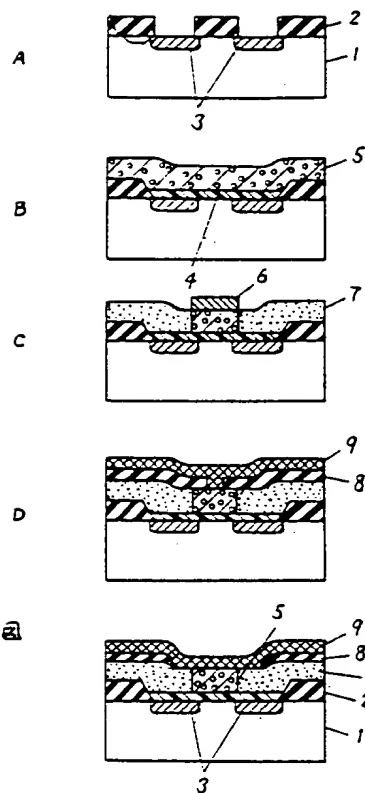
1……シリコン基板、2……シリコン酸化膜、3……ソース及びドレイン拡散層、4……ゲート酸化膜、5……ポリシリコン、6……フォトリソスト、7…… $\text{Si}_3\text{N}_4$ 、8……保護膜、9……金属膜。

代理人の氏名 弁護士 中 尾 敏 男 はか1名

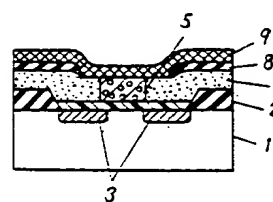
第 1 図



第 2 図



第 3 図



6 前記以外の発明者および代理人

(1) 発 明 者

住 所 大阪府門真市大字門真1006番地  
松下電器産業株式会社内  
氏 名 石 塚 重 幸

(2) 代 理 人

住 所 大阪府門真市大字門真1006番地  
松下電器産業株式会社内  
氏 名 (6152) 弁理士 栗 野 重 幸